

廿一世紀數位生活與網際網路科技研討會

Workshop on the 21st Century Digital Life and Internet Technologies

IEEE 1394 高速影像擷取卡之設計與實作 *

Design and Implementation of an IEEE 1394 Image Capture Board

楊登傑

Den-Jie Yang

元智大學資訊工程研究所

中壢市遠東路 135 號

Yuan Ze University

jeff@syslab.cse.yzu.edu.tw

楊正仁

Cheng-Zen Yang

元智大學資訊工程研究所

中壢市遠東路 135 號

Yuan Ze University

czyang@syslab.cse.yzu.edu.tw

余敏榮

Miller Yu

彩富電子公司

台北市洲子街 116 號

Dynacolor, Inc.

miller@dynacolor.com.tw

摘要

近年來，多媒體影音需求與日俱增，使得對匯流排頻寬的需求越來越高，以現有的外埠匯流排資料傳輸能力而言，若要以未壓縮的方式來作即時傳輸的話，將很難達到如此大量且高速的影音傳輸需求。

目前現有大部份的影像擷取卡僅具有資料傳遞的功能。為了提昇系統整體效能，在影像擷取卡的設計上應考慮影像處理運算函式的擴充需求。因此我們提出一個可擴充功能的高速影像擷取架構，在擷取影像後與進一步輸出到 CPU 之前，將在硬體架構設計上加入影像處理單元擴充設計，使得在未來能夠依照使用上之需求，可隨時擴充前端影像處理功能。

1. 前言

目前有很多研究[1,2,3,5]都致力於高速數位影像傳輸技術和高解析度的影像擷取技術，所以在高速數位影像擷取技術的發展中，如何自影像感測端將所得的影像資料以高速

方式送至 CPU 作後端處理，將影響整體系統的實際應用價值。為了提昇整體效能，在影像擷取卡的設計上應考慮影像處理函式運算的擴充需求。因此我們提出一個可擴充功能的架構，在擷取影像後與進一步輸出到 CPU 之前，將在硬體架構設計上加入影像處理單元擴充設計，使得在未來能夠依照使用上之需求，可隨時擴充前端影像處理。不僅能提昇系統效能，並可以增加產品的附加價值。所以在本研究中，將提出一高速數位影像擷取可擴充硬體架構，並運用 IEEE 1394 界面及可程式化擴充模組來達成高速數位影像擷取傳輸目的。

本研究是以 IEEE 1394 作為高速影像輸入界面並配合 FPGA 為核心控制處理架構之高速影像擷取系統。藉由 IEEE 1394 高速數位化傳輸界面之優點，及 FPGA 高速運算能力、可重複規劃等數位訊號處理上之優越性，配合動態影像之取得、處理與輸出，建立起以 FPGA 為控制處理基礎之高速影像擷取系統。另外，我們也在系統中結合同步動態隨機存取記憶體(Synchronous Dynamic RAM, SDRAM)，用

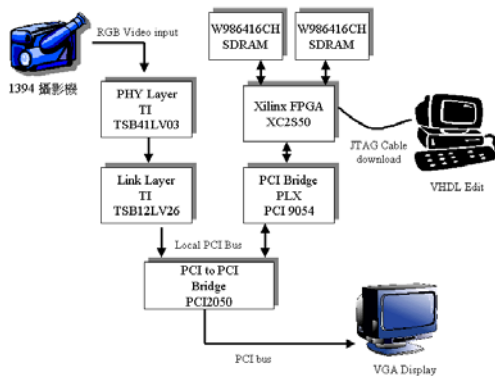
*本研究是彩富電子股份有限公司(<http://www.dynacolor.com.tw>)所委託計畫-"高速影像擷取硬體暨演算法分析"(計畫編號:RD06-9042)之成果。該計畫是經濟部補助彩富電子股份有限公司之業界開發產業技術計畫-"高解析度數位影像擷取技術研發計畫"(計畫編號:89-EC-2-A-17-0285-026)的一部份。

以儲存連續輸入畫像資料。待本系統實作完成後，我們結合視訊之數位影像處理演算法，將演算法電路組態至 FPGA 晶片中，針對連續之動態影像進行即時視訊處理。而後藉由此即時影像處理系統進行實際驗證。

在第二節中將說明我們所設計之硬體架構，第三節將陳述我們目前實作之結果。最後一節為結論說明。

2. IEEE 1394 Image Capture System

本節中我們首先說明系統電路功能與架構。如圖一所示，系統整體之主要功能是将高速影像輸入端輸入之數位影像，利用一組有效的資料流程控制硬體，提供後端 CPU 或其他影像處理硬體 IC 之間的資訊傳輸處理。我們將整體架構劃分成三個部份：IEEE 1394 視訊輸出入界面模組單元、可程式化高速影像處理擴充模組單元及記憶體模組單元。



圖一 IEEE 1394 影像擷取卡系統架構圖

2.1 視訊輸出/輸入單元

在視訊資料輸入界面部份，本研究是著眼於高速數位影像資料輸入，因此在我們的設計中，採用 IEEE 1394 數位式高速影像資料傳輸界面作為影像輸入裝置。由於 IEEE 1394 之高速數位傳輸特性，因此我們可以直接的傳送接收數位影像資料，而不須額外將影像資料作 AD/DA 的轉換。在本模組中我們採用 Texas

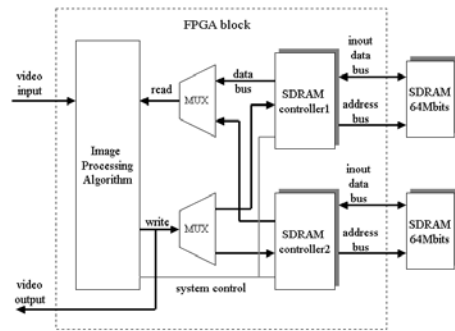
Instruments 所生產的 TSB12LV26 OHCI-Lynx PCI-Based host controller link-layer IC 與 TSB41LV03 physical-layer IC 作為影像資料輸入界面。

前端影像資料輸入是由 IEEE 1394 攝影機將影像傳送進來，提供未經壓縮之視訊資料，具有 8 位元解析度，和多種視訊格式 YUV 4:1:1、YUV 4:2:2、YUV 4:4:4 和 RGB 24-bit，每秒最快可達 15 個畫面。

最後本影像擷取卡之影像將透過 PCI to PCI Bridge 與 CPU 做 PCI 匯流排資料控制與傳輸溝通，最後將影像資料輸出至 CPU。

2.2 記憶體可擴充模組單元

記憶體管理處於高效能硬體架構的核心部份，高效能記憶體管理單元及匯流排設計之研究，將有助於提昇整體高速影像擷取之效能。其整體架構與動作示意圖如圖二所示，同時我們必須規劃一個 SDRAM 控制器對記憶體加以控制。



圖二 SDRAM 記憶體處理架構

在本單元設計中，本系統是使用華邦電子公司所生產的 W986416CH 之同步動態隨機存取記憶體作為影像擷取系統上的 memory module，容量大小為 $1\text{ M} \times 16\text{ bits} \times 4\text{ banks}$ (64Mbits)的 SDRAM。並提供多種記憶體操作模式諸如 mode_register、cas_latency、burst_type、burst length、operation mode 等供使用者自行規劃應用。

2.3 可程式化高速影像處理擴充模組單元

為了提昇整體效能，在影像擷取卡的設計上應考慮影像處理函式運算。因此本研究中，在擷取影像後與進一步輸出到 CPU 之前，在硬體架構設計上加入影像處理單元擴充設計，使得在未來能夠依照使用上之需求，可隨時擴充前端影像處理。不僅將可以提昇整體系統效能，並提昇產品的附加價值。因此在硬體架構中，此部份將進行研究可程式化 frame buffer 單元之硬體設計。

本影像擷取系統要求除了對靜態影像的處理外，亦能做到連續動態即時影像的處理，所以我們配合了兩只 SDRAM 做連續圖場間的交互儲存。我們利用 FPGA 作為 SDRAM controller，將 IEEE 1394 輸入端傳送過來的指令和影像進行解碼並根據指令對 SDRAM 做存取的動作，在此一模組中我們利用硬體描述語言 VHDL 設計此 SDRAM 控制器。使兩個讀寫匯流排上之子系統可以同時平行運作而不互相干擾，進而達到動態影像並行處理之效能。

我們以 Xilinx FPGA XC2S50 晶片作為整體並行處理控制之核心，將影像處理演算法規劃到 FPGA 晶片中。藉由 Xilinx Foundation Series 3.1i 電路設計輔助軟體所涵蓋之晶片設計流程，予以實現晶片之設計。

3. 系統發展概述

近年來，多媒體影音需求與日俱增，使得對匯流排頻寬的需求越來越高，又以台灣現行電視採用的 NTSC 視訊規格定義來看，每秒鐘 30 格畫面，每個畫格大小由 512×486 全彩的像素構成。所以每秒鐘 NTSC 視訊所需傳送的檔案大小為 $512 \times 486 \times 24 \times 30 = 170\text{Mbit}$ 。以現有的外埠匯流排資料傳輸能力而言，若要以未壓縮的方式來作即時傳輸的話，將很難達到如

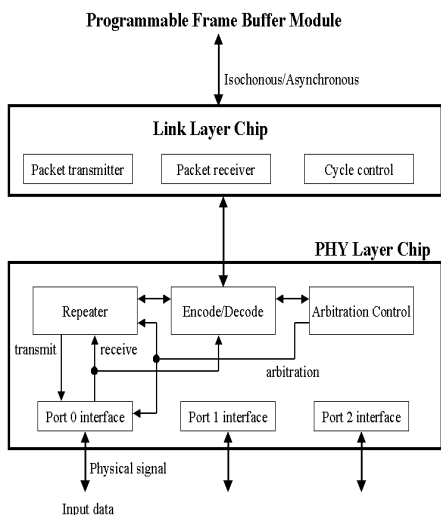
此大量且高速的影音傳輸需求。

所以我們藉由 IEEE 1394 高速數位化傳輸界面之優點，及 FPGA 高速運算能力並配合數位影像處理演算法，針對連續之動態影像進行即時視訊處理，以達到高速影像擷取傳輸目的進而提升整體系統效能。

3.1 數位影像資料輸入單元

IEEE 1394 是一項數位化的高速傳輸匯流排界面，所以當我們在做影像擷取傳送時，不須額外作類比信號與數位信號的轉換，可以防止畫質的衰減。並且它提供高速且大量的資料傳輸能力，即使是未經壓縮的數位動畫，它亦能提供 100Mbps 到 400Mbps 的傳輸速度。同時，IEEE 1394 具有兩種資料傳輸模式，一個是傳輸一般資料的非同步(asynchronous)傳輸模式，另一個是傳輸動畫及聲音等多媒體資料的等時性(isochronous)傳輸模式。等時性傳輸模式係以獨立的多數頻道(channel)進行資料互相傳輸的。由於它使用不同的虛擬頻道，因此可以實現多個傳輸訊息端對多個接收訊息端個別地傳輸多媒體資料，並可以保證在一定的時間內將數據傳送完畢。

所以我們採用 IEEE 1394 作為數位影像資料輸入界面，如圖三所示，IEEE 1394 實體層(PHY layer)接收由前端 IEEE 1394 攝影機傳送過來的數位影像資料，將接收到的封包資料進行解碼並傳送至鏈結層(link layer)，經由鏈結層判斷所接收到的封包資料內容，根據封包內的傳輸速度資料及傳輸方式等內容，進行等時性或非同步性資料傳輸。最後再將這些數位影像資料傳遞給可程式化高速影像處理擴充模組單元，進行前端的影像處理工作。



圖三 數位影像輸入單元

3.2 可程式化影像處理擴充模組

在我們的可程式化影像處理擴充模組中有兩個最主要的功能，一個是以 SDRAM 作連續圖場間交互儲存的控制器，另一個則是微分強化影像處理演算法。我們利用 Xilinx FPGA XC2S50 來達成以上兩項目的。

在 SDRAM 控制器方面，我們以 VHDL 語言撰寫此控制器，並使用兩只 64Mbits 的 SDRAM 作為兩連續圖場間快速切換讀寫暫存。當其中一個 SDRAM 被讀取資料時，另一個 SDRAM 可以同時被寫入另外一筆影像資料，使兩記憶體暫存模組間做到同時平行運作而不互相干擾，進而達到動態影像並行處理之效能。

另一方面，微分強化處理演算法常應用於影像邊緣強化或邊緣特徵抽取處理。它主要是利用影像的邊緣來表示影像，其中一個最大的優點就是所需處理的資料大為減少，所以影像邊緣強化常被應用於影像的辨識。一個較常見的例子是 Sobel edge detection 演算法，它的做法近似於將兩個獨立的迴旋運算(convolution)取絕對值後作相加。如圖四所示。

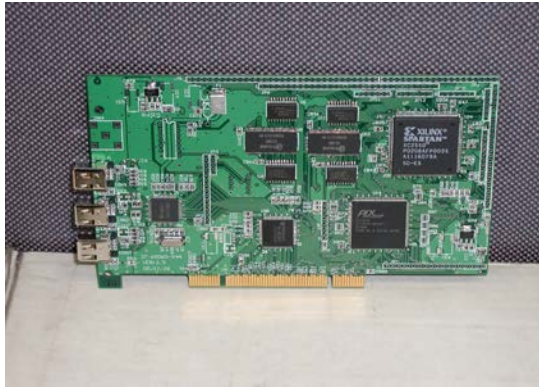
$$\text{Sobel} = \begin{array}{|c|} \hline \text{Sobel-horizontal} \\ \hline \begin{array}{|c|c|c|} \hline 1 & \sim & -1 \\ \hline 2 & \sim & -2 \\ \hline 1 & \sim & -1 \\ \hline \end{array} \\ \hline \text{Convolution} \\ \hline \end{array} + \begin{array}{|c|} \hline \text{Sobel-vertical} \\ \hline \begin{array}{|c|c|c|} \hline 1 & 2 & 1 \\ \hline \sim & \sim & \sim \\ \hline -1 & -2 & -1 \\ \hline \end{array} \\ \hline \text{Convolution} \\ \hline \end{array}$$

圖四 Sobel edge detection

由於連續動態影像資料是依水平掃描線方式，循序的以一維方式傳遞著，因此在硬體的實作上，為了配合我們 3×3 矩陣遮罩視窗的邊緣特徵抽取演算法，所以我們利用掃描線延遲模組，將每一條掃描線經過此延遲模組，進而構成三條並行輸入的掃描線，最後形成一個 3×3 的 2-D 影像資料供我們作邊緣特徵抽取運算處理。

3.3 未來發展與應用

目前我們已完成如圖五之硬體架構雛形系統，將來還可以在我們可擴充架構中加入 DSP 浮點運算模組，利用現有的高效能 SDRAM 記憶體並行處理架構，提供 DSP 作更進一步的數學運算處理。同時也可以將此高速影像擷取技術應用於電子工業之自動化即時影像處理系統中，利用本系統之即時處理能力，達到在最短時間內對動態影像進行即時視訊處理，以增進影像處理之最大效能。



圖五 硬體架構雛形卡

4. 結論

本研究在於建立一高速且具可擴充功能之數位影像擷取卡，並配合一簡單之影像處理演算法來即時處理前端輸入之影像。擷取卡本身以 IEEE 1394 作為高速影像輸入界面，並用 FPGA 作為核心控制處理架構。

因此藉由 IEEE 1394 高速數位化傳輸界面之優點，及 FPGA 高速運算能力、可重複規劃的特性，我們完成此一高速數位影像擷取卡的雛形架構。此架構具有初步的擴充功能，能隨時擴充前端影像處理能力，而不僅是一個單純的影像擷取卡。

目前我們所實作的雛形系統已實際進行視訊即時處理之各模組驗證工作。在未來進一步發展中，並可在此架構中加入 DSP 浮點運算模組，利用現有的高效能 SDRAM 記憶體並行處理架構，提供 DSP 作更進一步的數學運算處理，以期在高速即時影像處理的應用上更加完備。

5. 參考文獻

[1] Didier Demigny, Lounis Kessal, Riad Bourguiba, and Nassima Boudouani, "How to use high speed reconfigurable

- FPGA for real time image processing", in Processings of the Fifth IEEE International Workshop on Computer Architectures for Machine Perception, pp. 240-246, 2000.
- [2] Thomas H. Drayer, Joseph G. Tront, Richard W. Conners, and Philip A. Arman, "A development system for creating real-time machine vision hardware using field programmable gate arrays", in Processings of the 32nd Annual Hawaii International Conference on Systems Sciences, pp. 1-5, 1999.
- [3] W.Y. Chen, "Emerging home digital networking need", in Processings of the Fourth International Community Networking Workshop, pp. 7-12, 1997.
- [4] Horng-Hai Loh, and Yu-Te Chou, "Video signal noise reduction using FPGA", in Proceedings of the 13th IPPR Conference on Computer Vision, Graphics and Image Processing, pp. 327-334, 2000.
- [5] Michael R. Schell, and Alan T. Wetzel, "A PC based 1394/DV nonlinear video editing system", in Proceedings of 1996 International Consumer Electronics Conference, pp. 90-91, June 1996.
- [6] Yoshikatsu Niwa, Takashi Akai, Shinya Masunaga, and Sumihiro Okawa, "Development of a 1394 bridge system based on P1394.1", in Proceedings of 2000 International Consumer Electronics Conference, pp. 204 - 205, June 2000.
- [7] Fang-Ming Kuo, "FPGA programming for real time image processing", Master thesis, Institute of Control Engineering, National Chiao Tung University, Hsinchu, Taiwan, R.O.C., June 1996.
- [8] K. Benkrid, D. Crookes, J. Smith, and A. Benkrid, "High level programming for real time FPGA based video processing", in Proceedings of IEEE International Conference on Acoustics, Speech, and Signal Processing, pp. 3227-3230, 2000.
- [9] The Programmable Logic Data Book. Xilinx Inc., 2000.
- [10] IEEE 1394 TSB12LV26 and TSB41LV03 Data Book. Texas Instruments, 2000.
- [11] PCI Local Bus Specification R2.2. PCI Special Interest Group, 1999.